

耐放射線性能を向上させた Bulk-CMOS レベルシフト回路

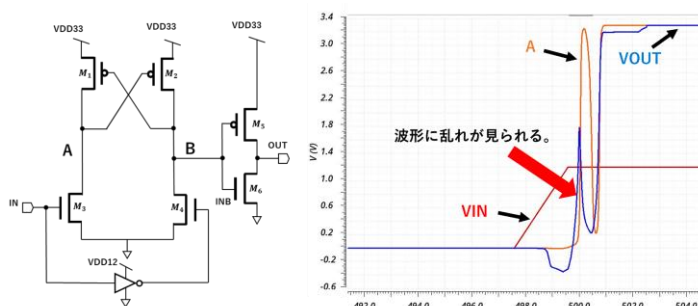
青木友哉（富山県立大学）・岩田達哉（富山県立大学）・吉河武文（富山県立大学）

1. 背景

近年の LSI は複数電源を使用しておりレベルシフト回路が搭載されている。一方、人工衛星内の LSI には、耐放射線性能が求められるので、SOI テクノロジを使用することが多い[1]。本研究は、一般の Bulk CMOS を使用して耐放射線性能を向上させたレベルシフトに関して報告する。

2. 従来のレベルシフト回路と課題

従来の Bulk CMOS のレベルシフト回路を図 1(a) に示す。この内部ノード（例えば A）に放射線が照射されると、その電荷により同図(b)のように、当該ノードに乱れが発生し、それが出力にも影響する。この図において、照射する重イオンは Kr である。



(a) 従来の回路図 (b) 照射 Sim

図 1 従来のレベルシフト回路と課題の説明図

3. 提案するレベルシフト回路

提案する耐放射回路を図 2 に示す。ポイントは、図内の枠で囲った部分であり、内部ノード A と B の部分に、当該ノードが GND (0V) から 3.3V に遷移する場合に中間電位 (1.2V) に接続して放射線の影響を緩和する Keeper を設けた。

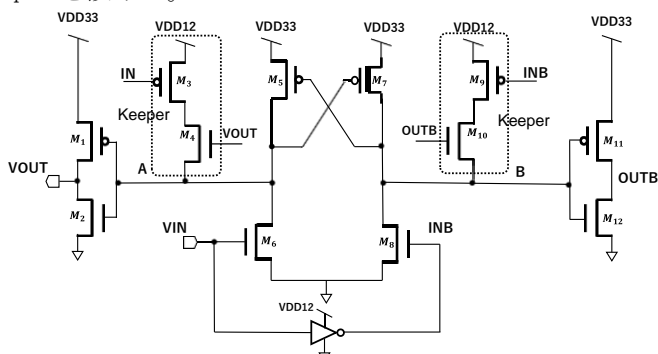


図 2 提案するレベルシフト回路の回路図

この Keeper は、図 3 に示すように、Core Tr. の PMOS と 3.3V Tr. の NMOS を縦積みにして構成しており、入力 (VIN) が High (1.2V) で対象ノード (図 3 では A) が GND であり出力 (VOUT) が High (3.3V) の場合は、図 2 の NMOS は ON であるが PMOS が OFF なので直流電流は流れな

い。この状態で VIN が Lo (0V) になった場合は、図 3(a) のように、PMOS が ON になりノード A の電位を引き上げる。このときの NMOS は高い V_{GS} により ON となる。そして、図 1 の PMOS (M5) が充分 ON になりノード A が 1.2V を超えると、図 3(b) のように、NMOS のソースとドレインが逆転して V_{GS} が一定 (3.3-1.2V) となり、ノード A が更に上昇する状態において当該 PMOS と NMOS のドレイン電流が増えることがない。ノード A の上昇により VOUT が High から Lo に遷移すると、当該 NMOS が OFF となり、直流電流はカットされる。したがって、待機状態において直流電流は流れない。

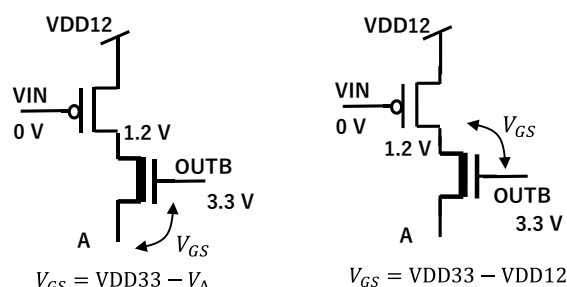
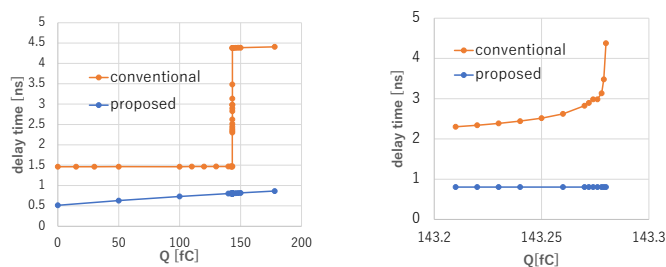


図 3 Keeper 回路の説明図

4. シミュレーション結果

Kr 照射相当の電荷を注入した場合のシミュレーション結果を図 4 に示す。横軸に照射する放射線が Bulk 内で発生させる電荷量を、縦軸に入力から出力までの遅延時間を示す。



(a) 電荷量と遅延時間 (b) 変化の箇所の拡大図

図 3 シミュレーション結果

図 4 に示すように、提案するレベルシフト回路では放射線の影響をほとんど受けていないことがわかる。

5. まとめ

レベルシフト回路の中間電位を保持する機構によって耐放射線性能を向上させることができることを示した。

謝辞

本研究は東京大学VDEC活動を通して、日本ケイデンスデザイン・システムズ社の協力で行われたものである。

参考文献

[1] K. DeGregorio et.al, 12th NASA Symposium on VLSI Design, Oct. 4-5, 2005