

MOSFET 構造を使ったチャージポンピング法による

SOI BOX 層裏面界面準位密度測定の検討

金沢工大 中沢 優太・森 貴之・井田 次郎

1. はじめに

現在の半導体検出器は Si を中心としたデバイスが使われている。しかし、現在使用されているものでは性能の限界を迎えてきているため、精度の向上のために SOI を使用した半導体検出器が開発されている[1]。上記のように SOI 基板を検出器として使用する場合、埋め込み酸化膜 BOX 層/基板界面の準位の影響を受けてしまい、精度が落ちてしまう問題があるため、SOI の正確な界面準位を測定し、界面準位の評価をする必要がある。

この研究の目的は SOI の BOX 層と基板側のシリコンとの間のできる界面準位密度について MOSFET 構造を作りこみ、チャージポンピング法（以下 CP 法）を用いて解析することである。しかし、厚いゲート酸化膜を持つ MOSFET 構造での CP 法の測定結果にはまだ不明な部分があるため、測定条件を変えることでどのような影響が出るのかを検討する。

2. 測定デバイス

図 1 に測定に使用しているデバイスの構造を示す。Active 層をゲート、BOX 層をゲート酸化膜としている。BOX 層を貫通するコンタクトを作成し、ソース、ドレイン、sub 領域を作成して MOSFET 構造を作りこんでいる。今回使用したデバイスは P 型基板である。

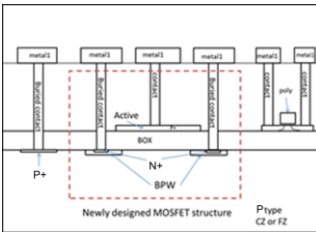


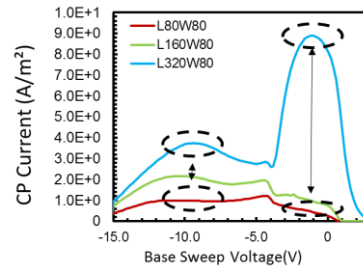
図 1、測定デバイスの構造図

3. 測定結果

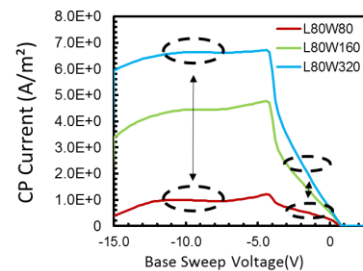
以下の測定では、ゲート長/ゲート幅=80/80 μm を基準としている。図 2(a)にゲート長を 80、160、320 μm と構造を変え、周波数 100kHz、立ち上がり時間と立下り時間を 500ns の条件で固定して振幅 5V を掛けた測定結果を示す。図 2(b)にゲート幅を 80、160、320 μm と構造を変え(a)と同条件で振幅 5V を掛けた結果を示す。図 2(a)、(b)はチャネル面積を 1m^2 としたときの電流値を示している。図 2 の結果から二つの電流値のピークが見えた。二つのピークについて、図 2(a)(b)の結果から、2 つのピークの増加量に違いがあることが分かる。図 2(a)より、右側ピークでは図 2(b)に比べ電流の増加量が大きいことから、ゲート長の影響が大きいと考えられる。これは、CP 法での測定ではゲート長が長くなると電流値が増加してしまう現象によるものと考えられる。よって、右ピークは CP 法で得られる電流であると考えられる。図 2(b)より、左側のピークは図 2(a)に比べ電流値が大きく変化していることから、右側と違いゲート幅の影響が大

きいと考えられる。そのため、左側のピークに関わる電流にはソース・ドレイン近傍が関わっていると考えた。

図 3 にゲート長 80 μm 、ゲート幅 80 μm の時ソース・ドレインに電圧を掛け、電圧を 0~1V で変化した結果を示す。その他条件は図 2 と同じである。図 3 より、ソース・ドレインに電圧を掛けることで左側のピークが減少していることが分かる。右側ピークも減少しているが、これはソース・ドレインに電圧を掛けることで空乏層ができることでチャネル面積が小さくなるためである。以上の結果から今回得られた 2 つのピークの内、左側のピークはソース・ドレイン近傍のなんらかの影響によって生じたものと考えられる。現在、具体的な左側のピークの発生メカニズムについて検討中である。



(a)



(b)

図 2、寸法依存性(a)ゲート長(b)ゲート幅

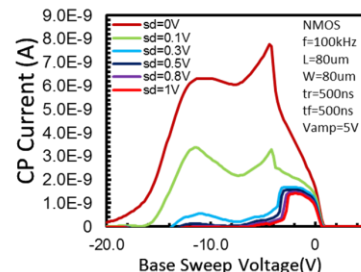


図 3、ソース・ドレイン電圧依存性

参考文献

- [1] Arai, et.al, "Development of SOI pixel process technology", Nuclear Instruments and Methods in Physics Research, Vol.636, pp S31-36, 2011
 [2] G. Groeseneken, H. Maes, N. Beltran, and R. F. D. Keersmaecker, "A reliable approach to charge-pumping measurements in MOS transistors", IEEE Trans. Electron Devices, 31, pp44, 1984